

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP410285011A  
DOCUMENT-IDENTIFIER: JP 10285011 A  
TITLE: OUTPUT DRIVER CIRCUIT  
PUBL-DATE: October 23, 1998

INVENTOR-INFORMATION:  
NAME  
AIHARA, KATSUYOSHI

ASSIGNEE-INFORMATION:  
NAME CITIZEN WATCH CO LTD  
COUNTRY  
N/A

APPL-NO: JP09086185  
APPL-DATE: April 4, 1997

INT-CL (IPC): H03K019/0175, G11C011/417

ABSTRACT:

PROBLEM TO BE SOLVED: To decrease the malfunctions of circuits connected to the following stages by turning off the output of an output driver consisting of a CMOS inverter using the pre-driver output as its gate input when the switching of operations is performed between the Pch and Nch transistors TRs and then reducing the through current.

SOLUTION: An output driver changes the gate widths or gate lengths of Pch TR 11 to 13 and 31 to 33 and Nch TR 21 to 23 and 41 to 43 constructing a duty ratio control CMOS inverter group 7 of the preceding stage of the output driver when the switching of operations is performed between a Pch TR 50 and an Nch TR 60. Then both TR 50 and 60 of the output driver are turned off for reduction of the through current. Thus, the level-difference type signals of output which are caused when the capacity load is connected between the output point of the output driver and a ground potential are deleted and the normal signals can be outputted. Then the malfunctions of circuits connected to the following stages can be decreased.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285011

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F

G 1 1 C 11/417

G 1 1 C 11/34

3 0 5

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平9-86185

(22) 出願日 平成9年(1997)4月4日

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 相原 克好

埼玉県所沢市大字下富字武野840番地 シ

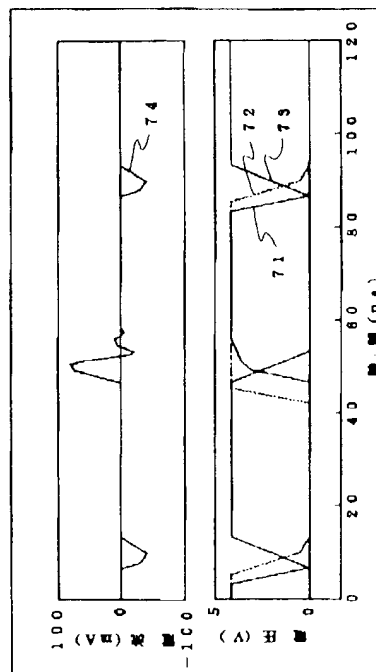
チズン時計株式会社技術研究所内

(54) 【発明の名称】 出力ドライバ回路

(57) 【要約】

【課題】 出力ドライバの出力点と接地電位との間に容量負荷を接続した場合、出力ドライバの出力電圧波形は立ち上がり及び立ち下がり時に段差を含む電圧波形になり、この段差が後段につなぐ回路のスレッシュホールドレベルにあると誤動作の原因になる。

【解決手段】 出力ドライバ前段のデューティ比調整用CMOSインバータを構成するPchトランジスタ及びNchトランジスタのゲート幅または、ゲート長を出力ドライバのPchトランジスタ及びNchトランジスタの動作切り替わり時に両方オフになる状態になるように変更する。



## 【特許請求の範囲】

【請求項1】 複数段のデューティ比調整用CMOSインバータと最終段のデューティ比調整用CMOSインバータの出力をゲート入力とするCMOSインバータで構成するプリドライバとプリドライバの出力をゲート入力とするCMOSインバータで構成する出力ドライバを有し、出力ドライバの出力がPch側トランジスタとNch側トランジスタとの動作切り替わり時に、ともにオフ状態を形成して貫通電流を減少させることを特徴とする出力ドライバ回路。

【請求項2】 複数段のデューティ比調整用CMOSインバータと最終段のデューティ比調整用CMOSインバータの出力をゲート入力とするCMOSインバータで構成するプリドライバは、出力ドライバのPch側トランジスタ及びNch側トランジスタに対して個別に構成し、複数段のデューティ比調整用インバータのPch側トランジスタとNch側トランジスタのゲート幅またはゲート長を変更することで、出力ドライバのPch側トランジスタ及びNch側トランジスタとの動作切り替わり時をともにオフ状態とすることを特徴とする請求項第1記載の出力ドライバ回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、水晶発振回路を有する集積回路の出力ドライバ回路に関するものである。

【0002】

【従来の技術】一般に、水晶発振器用の集積回路では水晶発振回路と出力ドライバ回路から構成し、出力ドライバ回路から出た信号は外部回路を動作させるため、高い駆動能力を備える必要がある。

【0003】図1は、出力ドライバ回路の構成の一例を示す回路図である。出力ドライバの前段は、PchトランジスタとNchトランジスタから構成する複数段のデューティ比調整用のCMOSインバータ群7と最終段のデューティ比調整用CMOSインバータの出力をゲート入力とするCMOSインバータで構成するプリドライバ8を出力ドライバのPch側トランジスタ50及びNch側トランジスタ60に個別に設けている。

【0004】図1に示すように、デューティ比調整用CMOSインバータを構成するPchトランジスタ11とNchトランジスタ21、Pchトランジスタ12とNchトランジスタ22及びPchトランジスタ13とNchトランジスタ23でCMOSインバータを構成するプリドライバが直列に接続されており、プリドライバの出力3が出力ドライバのPch側トランジスタ50のゲートに入力される。

【0005】また、デューティ比調整用CMOSインバータを構成するPchトランジスタ31とNchトランジスタ41、Pchトランジスタ32とNchトランジスタ42及びPchトランジスタ33とNchトランジ

スタ43でCMOSインバータを構成するプリドライバが直列に接続されており、プリドライバの出力4が出力ドライバのNch側トランジスタ50のゲートに入力される。

【0006】通常、各々のCMOSインバータはPchトランジスタとNchトランジスタの電流駆動能力が同じになるようにするため、例えばゲート長2 $\mu$ mの場合は、Pchトランジスタのゲート幅3に対して、Nchトランジスタのゲート幅を1に設定する。

10 【0007】また、水晶発振回路の出力信号は、一度に大きなドライバを駆動するとゲート酸化膜によるゲート容量によって信号遅延が顕著になるため、前段から数倍のCMOSインバータを直列に接続するカスケード接続と呼ばれる方法によって接続していく。

【0008】本従来例に示す各トランジスタのゲート長は2 $\mu$ m、ゲート幅はトランジスタ11と31が12 $\mu$ m、21と41が4 $\mu$ m、12と32が24 $\mu$ m、22と42が8 $\mu$ m、13と33が48 $\mu$ m、23と43が16 $\mu$ mである。また、出力ドライバを構成するトランジスタ50が864 $\mu$ m、トランジスタ60が288 $\mu$ mである。

【0009】以上、図1で説明したような出力ドライバ回路において、出力ドライバのPch側トランジスタのゲートに入力されるプリドライバの出力信号3と出力ドライバのNch側トランジスタのゲートに入力されるプリドライバの出力信号4と出力ドライバの出力点5における無負荷時の出力電圧波形と電流波形を図3に示す。

【0010】図3の横軸は信号の時間変化を示したもので、縦軸は上図が出力ドライバの出力点5での電流波形、下図が出力ドライバのPch側トランジスタのゲートに入力されるプリドライバの出力信号3と出力ドライバのNch側トランジスタのゲートに入力されるプリドライバの出力信号4と出力ドライバの出力点5の位置での電圧波形を示したものである。この場合の、電源電圧は5Vである。

【0011】図3の下図に示す波形81は、プリドライバの出力信号3と4を表しており、接地電位から電源電圧までの電圧範囲で出力信号が変化する。出力信号3が接地電位であるローレベルの時、出力ドライバのPch側のトランジスタ50がオンになる。この時、出力信号4もローレベルであるのでNch側のトランジスタ60はオフになり出力ドライバの出力点5での出力信号82は、電源電圧であるハイレベルを示す。

【0012】一方、出力信号4がハイレベルの時、出力ドライバのNch側のトランジスタ60がオンになる。この時、出力信号3もハイレベルであるのでPch側のトランジスタ50はオフになり出力ドライバの出力点5での出力信号82は、接地電位であるローレベルを示す。

50 【0013】また、出力ドライバのPch側のトランジ

スタ50とNch側のトランジスタ60が切り替わる時に図3の上図に示すように、電流が流れる。波形83は、出力ドライバのPch側のトランジスタ50に流れる電流で、波形84は、出力ドライバのNch側のトランジスタ60に流れる電流である。

【0014】この電流は、出力ドライバのPch側のトランジスタ50がオン、Nch側のトランジスタ60がオフになる時とPch側のトランジスタ50がオフ、Nch側のトランジスタ60がオンになる時に電源から接地電位に流れるもので貫通電流と呼ばれるものである。

【0015】貫通電流は、電源から接地電位に流れるので出力ドライバのPch側のトランジスタ50とNch側のトランジスタ60に流れる電流は、波形83、84に示すように同じ大きさになる。

【0016】このように、CMOSインバータではPchのトランジスタとNchのトランジスタの動作切り替え時には、両方のトランジスタがオンになる状態が存在するため、貫通電流は流れてしまう。

【0017】図4は、図1の出力ドライバの出力点5と接地電位との間に容量負荷6として50pFを接続したときの出力電圧波形と電流波形を示したものである。横軸は、信号の時間変化を示したもので縦軸は、上図が出力ドライバの出力点5での電流波形、下図が出力ドライバの出力点5での電圧波形を示したものである。この場合の、電源電圧は5Vである。

【0018】図4の下図に示す波形85は、図1に示すブリッドドライバの出力信号3と4を表しており、接地電位から電源電圧までの電圧範囲で出力信号が変化する。出力信号3が接地電位であるローレベルの時、出力ドライバのPch側のトランジスタ50がオンになる。この時、出力信号4もローレベルであるのでNch側のトランジスタ60はオフになり出力ドライバの出力点5での出力信号86は、電源電圧であるハイレベルを示す。

【0019】一方、出力信号4がハイレベルの時、出力ドライバのNch側のトランジスタ60がオンになる。この時、出力信号3もハイレベルであるのでPch側のトランジスタ50はオフになり出力ドライバの出力点5での出力信号86は、接地電位であるローレベルを示す。

【0020】図1の出力ドライバの出力点5に容量負荷6を接続すると、出力ドライバのPch側のトランジスタ50がオンになった時に出力点5に接続されている容量負荷6に電流が流れ充電される。そして、出力ドライバのNch側のトランジスタ60がオンになった時にその容量負荷6に充電された電荷が放電し、電流として流れる。

【0021】出力ドライバのPch側のトランジスタ50がオンになった時は、出力点5に接続した容量負荷6側に流れる電流と、Pch側のトランジスタ50とNch側のトランジスタ60の動作切り替わり時に電源から

接地電位に流れる貫通電流とが流れる。

【0022】この状態では、出力ドライバのPch側のトランジスタ50とNch側のトランジスタ60との動作切り替わり時に、出力ドライバは図4の下図に示すように立ち上がり時に段差86、立ち下がり時に段差87を含む出力波形となる。

【0023】出力波形にこの段差86、87が現れるのは、出力点5に接続した容量負荷6側と電源から接地電位に流れる貫通電流がともに同じタイミングで流れるために、出力点5が電源あるいは接地電位に定まらない中間的な電位を示すためである。

【0024】そのため、出力ドライバのPch側のトランジスタ50とNch側のトランジスタ60の切り替えが終了し、貫通電流が流れなくなると出力点5の電位が電源あるいは接地電位に固定され安定する。

【0025】

【発明が解決しようとする課題】以上説明したように、容量負荷6を出力ドライバの出力点と接地電位との間に接続した場合、出力ドライバのPch側のトランジスタ50とNch側のトランジスタ60の動作切り替わり時に、出力点5に接続した容量負荷6に流れる電流と、電源から接地電位側に流れる貫通電流が流れるため、出力点5では電源あるいは接地電位に定まらない中間的な電位を示し、その結果、出力ドライバは電圧立ち上がり及び立ち下がり時に段差を含む電圧波形になる。これは、後段につなぐ回路のスレッシュホルドレベルにあると誤動作の原因になる。

【0026】本発明の目的は、上記課題を解決して、容量負荷を出力ドライバの出力点と接地電位との間に接続した場合に現れる出力の段差状の信号を削除するための出力ドライバ回路を提供することにある。

【0027】

【課題を解決するための手段】上記目的を達成するため本発明の出力ドライバ回路は下記記載の回路構成を採用する。

【0028】複数段のデューティ比調整用CMOSインバータと最終段のデューティ比調整用CMOSインバータの出力をゲート入力とするCMOSインバータで構成するブリッドドライバとブリッドドライバの出力をゲート入力とするCMOSインバータで構成する出力ドライバを有し、出力ドライバの出力がPch側トランジスタとNch側トランジスタとの動作切り替わり時に、ともにオフ状態を形成して貫通電流を減少させることを特徴とするものである。

【0029】複数段のデューティ比調整用CMOSインバータと最終段のデューティ比調整用CMOSインバータの出力をゲート入力とするCMOSインバータで構成するブリッドドライバは、出力ドライバのPch側トランジスタ及びNch側トランジスタに対して個別に構成し、複数段のデューティ比調整用インバータのPch側トラ

ンジスタとNch側トランジスタのゲート幅またはゲート長を変更することで、出力ドライバのPch側トランジスタ及びNch側トランジスタとの動作切り替え時とともにオフ状態とすることを特徴とするものである。

【0030】本発明の出力ドライバ回路によれば、出力ドライバ前段のデューティ比調整用CMOSインバータを構成するPchのトランジスタ及びNchのトランジスタのゲート幅または、ゲート長を出力ドライバのPch側のトランジスタ及びNch側のトランジスタの動作切り替え時に両方オフ状態になるように変更する。その結果、出力ドライバの動作時に電源から接地電位側に流れる貫通電流が減少し、出力ドライバに接続した負荷のみに電流が流れるようになり出力ドライバの出力点での電圧立ち上がり及び立ち下がり現れる信号段差は削除され、正常な信号が出力できる。

【0031】

【発明の実施の形態】以下に本発明の出力ドライバ回路の実施例を、図1から図2を用いて具体的に説明する。

【0032】まず、本発明の出力ドライバ回路を図1を用いて説明する。従来例で説明したように、出力ドライバの前段は、PchトランジスタとNchトランジスタから構成する複数段のデューティ比調整用のCMOSインバータ群7と最終段のデューティ比調整用CMOSインバータの出力をゲート入力とするCMOSインバータで構成するブリドライバ8を出力ドライバのPch側トランジスタ50及びNch側トランジスタ60に個別に設けている。

【0033】図1に示すように、デューティ比調整用CMOSインバータを構成するPchトランジスタ11とNchトランジスタ21、Pchトランジスタ12とNchトランジスタ22及びPchトランジスタ13とNchトランジスタ23でCMOSインバータを構成するブリドライバが直列に接続されており、ブリドライバの出力3が出力ドライバのPch側トランジスタ50のゲートに入力される。

【0034】また、デューティ比調整用CMOSインバータを構成するPchトランジスタ31とNchトランジスタ41、Pchトランジスタ32とNchトランジスタ42及びPchトランジスタ33とNchトランジスタ43でCMOSインバータを構成するブリドライバが直列に接続されており、ブリドライバの出力4が出力ドライバのNch側トランジスタ60のゲートに入力される。

【0035】通常、各々のCMOSインバータはPchのトランジスタとNchのトランジスタの電流駆動能力が同じになるようにするため、例えばゲート長2 $\mu$ mの場合は、Pchのトランジスタのゲート幅3に対して、Nchのトランジスタのゲート幅を1に設定する。

【0036】しかし、本発明の出力ドライバは、Pch側のトランジスタとNch側のトランジスタが動作切り

替わり時に貫通電流が流れないように出力ドライバ以前に接続されているデューティ比調整用CMOSインバータ群7を構成するPchトランジスタ11、12、13及び31、32、33、Nchトランジスタ21、22、23及び41、42、43のゲート幅あるいは、ゲート長を変更して、出力ドライバのPch側のトランジスタ50とNch側のトランジスタ60の動作切り替え時に両方のトランジスタがオン状態にならず、必ずオフ状態になるようにする。

【0037】出力ドライバのPch側のトランジスタ50とNch側のトランジスタ60の動作切り替え時が両方オフになる状態を図2を用いて説明する。

【0038】出力ドライバの出力電圧信号の立ち上がり時においては、Nch側のトランジスタ60が完全にオフ状態になってから、Pch側のトランジスタ50がオンになれば両方のトランジスタがオン状態になることはないで、貫通電流は流れない。

【0039】一方、出力ドライバの出力電圧信号の立ち下がり時においては、Pch側のトランジスタ50が完全にオフ状態になってから、Nch側のトランジスタ60がオンになれば両方のトランジスタがオン状態になることはないで、貫通電流は流れない。

【0040】これらの状態を作り出すには、出力ドライバのPch側のトランジスタ50及びNch側のトランジスタ60をオン、オフさせるための出力ドライバ以前に接続されているトランジスタのオンまたはオフの動作タイミングを変更してやればよい。

【0041】トランジスタの動作タイミングは、トランジスタの電流駆動能力を変更することによって実現する。

【0042】例えば、電流駆動能力はゲート幅/ゲート長の関数であるので、ゲート幅を増加させるかまたはゲート長を減少すれば電流駆動能力は増加する。また、ゲート幅を減少させるかゲート長を増加させると電流駆動能力は減少する。

【0043】電流駆動能力を増加させると、トランジスタの静特性における電圧立ち上がりが鋭くなり、動作切り替えが速くなる。

【0044】また、電流駆動能力を減少させると、トランジスタの静特性における電圧立ち下がりが鈍くなり、動作切り替えが遅くなる。

【0045】本発明の実施例では、出力ドライバ以前のCMOSインバータを構成するトランジスタのゲート長を2 $\mu$ mとして、ゲート幅を変更して出力ドライバのPch側のトランジスタ50及びNch側トランジスタ60の動作切り替え時に両方のトランジスタがオフ状態になる例を示す。

【0046】図2に示すように、出力ドライバのPch側のトランジスタ50とNch側トランジスタ60が立ち上がり時に両方オフになるためには、最終的に出力ド

ライバのPch側トランジスタ50がオンになるタイミングを遅くし、Nch側のトランジスタ60がオフになるタイミングを速くしてやればよい。

【0047】出力ドライバのPch側のトランジスタ50がオンすることに関する出力ドライバ以前のCMOSインバータを構成するトランジスタは、デューティ比調整用CMOSインバータ群7のNchのトランジスタ21、Pchのトランジスタ12、プリドライバ8のNchのトランジスタ23である。

【0048】出力ドライバのPch側のトランジスタ50は、オンするタイミングを遅くするわけであるからトランジスタ21、12、23のいずれかもしくは複数個のゲート幅を小さくする。

【0049】一方、出力ドライバのNch側のトランジスタ60がオフすることに関する出力ドライバ以前のCMOSインバータを構成するトランジスタは、デューティ比調整用CMOSインバータ群7のNchのトランジスタ41、Pchのトランジスタ32、プリドライバ8のNchのトランジスタ43である。

【0050】出力ドライバのNch側のトランジスタ60は、オフするタイミングを速くするわけであるからトランジスタ41、32、43のいずれかもしくは複数個のゲート幅を大きくする。

【0051】従来例に対して、本発明に示すように出力ドライバ以前のCMOSインバータを構成するトランジスタのゲート幅を変更して得られた出力点5と接地電位との間に容量負荷6を50pF接続した場合の出力ドライバの出力電圧波形を図2に示す。

【0052】本発明の実施例では、トランジスタのゲート幅を次のように変更した。Pchトランジスタ12が16 $\mu$ m、Nchトランジスタ23が8 $\mu$ m、Pchトランジスタ32が32 $\mu$ m、Nchトランジスタ43が24 $\mu$ mとした場合である。

【0053】図2は、横軸は時間、縦軸は上図が出力ドライバの出力点5における電流波形、下図が出力ドライバの出力点5における電圧波形を示したものである。

【0054】図2の下図において、出力ドライバのPch側のトランジスタ50をオン、オフさせるプリドライバの出力信号3を表す出力電圧波形72とNch側のトランジスタ60をオン、オフさせるプリドライバの出力信号4を表す出力電圧波形71をみると、出力ドライバの出力点5での出力電圧波形73が立ち上がる場合、Nchのトランジスタが完全にオフになってから、Pchのトランジスタがオンになっている。

【0055】また、出力電圧波形が立ち下がる場合は、Pchのトランジスタが完全にオフになってからNchのトランジスタがオンになっている。つまり、PchのトランジスタとNchのトランジスタの切り替わり時に両方のトランジスタがオンになる状態はなく、貫通電流が極端に減少したことを示している。

【0056】図2の上図に示すように、PchのトランジスタとNchのトランジスタの動作切り替わり時には出力点5と接地電位の間に接続した容量負荷6に電流が流れるのみである。

【0057】本実施例では、ゲート幅を変更し電流駆動能力を変更したが、ゲート長を変更し出力ドライバのPch側のトランジスタ50とNch側のトランジスタ60が両方オフするようにすることもできる。

【0058】また、本発明の実施例では4つのトランジスタのゲート幅を変更したが、電流駆動能力を大きく変更できれば、トランジスタ数には依存しない。

【0059】

【発明の効果】以上説明したように、出力ドライバ前段のデューティ比調整用CMOSインバータを構成するPchトランジスタ及びNchトランジスタのゲート幅または、ゲート長を出力ドライバのPch側のトランジスタ及びNch側のトランジスタの動作切り替わり時に両方オフになる状態になるように変更することによって、出力ドライバの動作時に電源から接地電位側に流れる貫通電流が減少し、出力ドライバの出力点と接地電位との間に接続した容量負荷のみに電流が流れるようになり出力ドライバの出力電圧波形は段差が消除され正常な信号が出力でき、後段に接続する回路の誤動作を削減できる。

【図面の簡単な説明】

【図1】本発明の実施例及び従来例における出力ドライバ回路を示す図である。

【図2】本発明の実施例における特性例を示す図である。

【図3】従来例における特性例を示す図である。

【図4】従来例における特性例を示す図である。

【符号の説明】

5 出力点

6 容量負荷

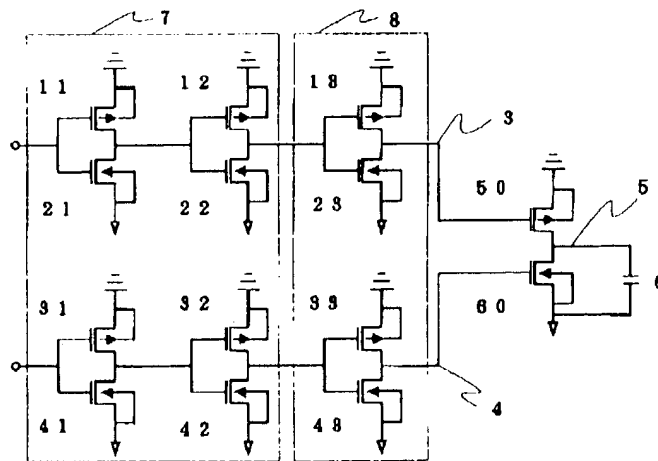
7 デューティ比調整用CMOSインバータ群

8 プリドライバ

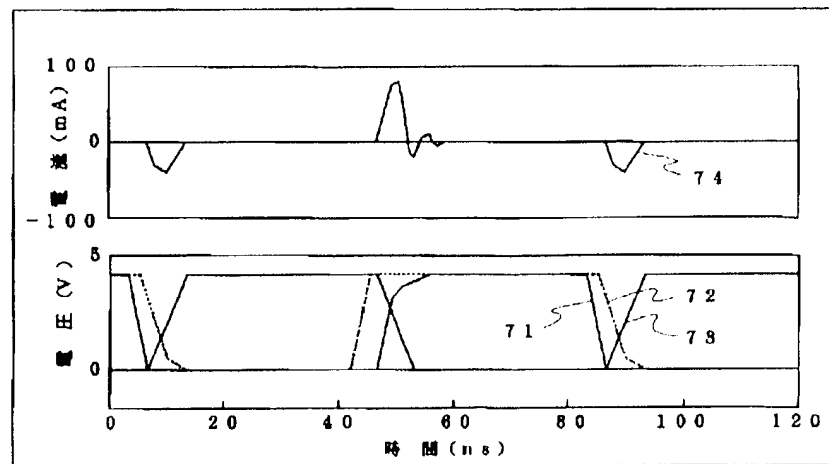
50 出力ドライバのPch側のトランジスタ

60 出力ドライバのNch側のトランジスタ

【図1】

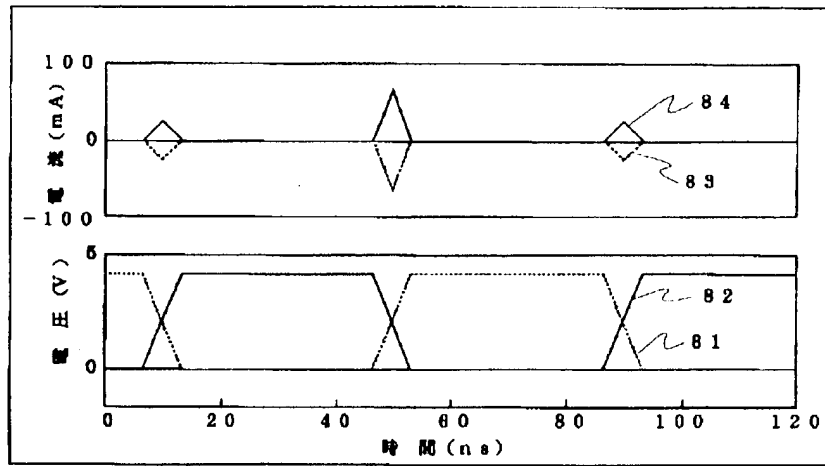


【図2】





【図3】



【図4】

